



H-1135

JFW

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: R. TAKANO, et al

Serial No.: 10/808,318

Filing Date: March 25, 2004

For: WIRELESS COMMUNICATION SYSTEM AND COMMUNICATION
SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Art Unit: 2611

Examiner: J. P. Tu

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

June 12, 2007

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, applicants hereby claim
the right of priority based on:

**Japanese Application No. 2003-087238
Filed: March 27, 2003**

A Certified copy of said application document is attached hereto.

Acknowledgement thereof is respectfully requested.

Respectfully submitted,



Carl I. Brundidge
Registration No. 29,621
MATTINGLY, STANGER, MALUR & BRUNDIDGE, P.C.

CIB/jdc
Enclosures
703/684-1120

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月27日
Date of Application:

出願番号 特願2003-087238
Application Number:

[ST. 10/C] : [JP2003-087238]

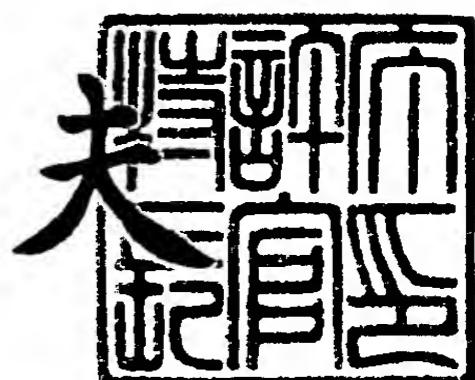
願人 株式会社ルネサステクノロジ
Applicant(s):

USSN 10/808,318
MATTINGLY, STANGER & MALUR & Brundidge, P.C.
(703) 684-1120
Dkt: H-1135

2004年 4月 9日

特許庁長官
Commissioner,
Japan Patent Office

今井康



【書類名】 特許願

【整理番号】 H03001041

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00
H04N 11/04

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 20 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 高野 亮一

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 20 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 日笠 和彦

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 20 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 豊田 研次

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 20 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 岡田 和久

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100085811

【弁理士】

【氏名又は名称】 大日方 富雄

【電話番号】 03-3269-1430

【手数料の表示】

【予納台帳番号】 027177

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 無線通信システムおよび通信用半導体集積回路

【特許請求の範囲】

【請求項1】 少なくともインダクタンス素子を除く構成素子が半導体チップ上に形成された送信用発振器と、該送信用発振器で生成された信号を出力する第1の外部端子と、基準信号とフィードバック信号の位相を比較して位相差に応じて前記送信用発振器を制御する位相検出回路と、外部から供給される信号を受ける第2の外部端子と、該第2の外部端子に入力された信号と所定の周波数の信号との合成を行なう信号合成回路とを有する通信用半導体集積回路であって、

前記信号合成回路は、一対の差動入力端子を有する差動型回路で構成され、該信号合成回路の一方の差動入力端子と前記第2の外部端子との間には該第2の外部端子へ入力された信号を減衰して伝達する減衰手段が設けられ、前記信号合成回路の他方の差動入力端子は前記減衰手段を構成する素子と同一の素子を介して第3の外部端子に接続されていることを特徴とする通信用半導体集積回路。

【請求項2】 前記第3の外部端子は、外部から有意な信号が入力されず、また内部から有意な信号を出力しないようにされた端子であることを特徴とする請求項1に記載の通信用半導体集積回路。

【請求項3】 前記第2の外部端子に入力され前記信号合成回路により前記所定の周波数の信号と合成されて生成された信号が、前記フィードバック信号として前記位相検出回路へ供給可能に構成されていることを特徴とする請求項1または2に記載の通信用半導体集積回路。

【請求項4】 前記第2の外部端子に入力され前記信号合成回路により前記所定の周波数の信号と合成されて生成された信号と前記基準信号の振幅を比較し振幅差に応じた信号を生成する振幅検出回路と、該振幅検出回路の出力に応じた電圧を出力する第4の外部端子を有することを特徴とする請求項1から3のいずれかに記載の通信用半導体集積回路。

【請求項5】 前記信号合成回路はバイポーラ・トランジスタからなるギルバートセルにより構成され、前記第2の外部端子へ入力された信号は前記減衰手段を介して前記ギルバートセルの下段の差動入力トランジスタの一方のエミッタ

端子に入力され、前記第3の外部端子は前記減衰手段を構成する素子と同一の素子を介して前記ギルバートセルの下段の差動入力トランジスタの他方のエミッタ端子に接続されていることを特徴とする請求項1から4のいずれかに記載の通信用半導体集積回路。

【請求項6】 前記信号合成回路は、前記第2の外部端子に入力された信号の周波数と前記所定の周波数の信号の周波数との差に相当する周波数の信号を生成するミクサ回路であることを特徴とする請求項1から5のいずれかに記載の通信用半導体集積回路。

【請求項7】 前記所定の周波数の信号を生成する発振器と、該発振器により生成された信号と前記送信用発振器により生成された信号とを合成しそれらの信号の周波数差に相当する周波数成分を有する信号を生成する第2ミクサ回路とをさらに備え、該第2ミクサ回路の出力信号が前記位相検出回路に供給されるよう構成されていることを特徴とする請求項1から6のいずれかに記載の通信用半導体集積回路。

【請求項8】 前記第2ミクサ回路の出力信号または前記第2の外部端子に入力され前記信号合成回路により前記所定の周波数の信号と合成されて生成された信号のいずれかを選択して前記位相検出回路に供給する切替え手段を有することを特徴とする請求項7に記載の通信用半導体集積回路。

【請求項9】 少なくともインダクタンス素子を除く構成素子が半導体チップ上に形成された送信用発振器と、該送信用発振器で生成された信号を出力する第1の外部端子と、基準信号とフィードバック信号の位相を比較して位相差に応じて前記送信用発振器を制御する位相検出回路と、外部から供給される信号を受ける第2の外部端子と、該第2の外部端子に入力された信号と所定の周波数の信号との合成を行なう信号合成回路と、該信号合成回路により合成された信号と前記基準信号とフィードバック信号の振幅を比較して振幅差を検出する振幅検出回路と、検出された振幅差に応じた電圧を生成する電圧生成手段と、生成された電圧を出力する第3の外部端子とを有する通信用半導体集積回路と、

前記第1の外部端子より出力された信号を、前記第3の外部端子より出力された電圧に応じた利得で増幅して出力する電力増幅回路と、

該電力増幅回路の出力を検出する出力検出手段と、
該出力検出手段により検出された信号を減衰して前記第2の外部端子に入力する減衰手段とを備え、

前記減衰手段は、前記電力増幅回路が最小出力レベルで動作している時に前記第2の外部端子へ入力される検出信号のレベルが、前記第1の外部端子から前記第2の外部端子へ飛び込むノイズのレベルよりも高くなるように、その減衰量が設定されていることを特徴とする無線通信システム。

【請求項10】 前記信号合成回路は、一対の差動入力端子を有する差動型回路で構成され、該信号合成回路の一方の差動入力端子と前記第2の外部端子との間には該第2の外部端子へ入力された信号を減衰して伝達する減衰手段が設けられ、前記信号合成回路の他方の差動入力端子は前記減衰手段を構成する素子と同一の素子を介して第4の外部端子に接続され、

前記第4の外部端子と前記通信用半導体集積回路の外部の定電圧端子との間には抵抗素子が接続されていることを特徴とする請求項8に記載の無線通信システム。

【請求項11】 送信データに応じたI, Q信号を生成して出力するベースバンド回路をさらに備え、

前記通信用半導体集積回路は、前記ベースバンド回路から供給されるI, Q信号により直交変調を行なう変調回路を備え、該変調回路により変調された信号が前記基準信号として前記位相検出回路および振幅検出回路へ供給されるように構成されていることを特徴とする請求項8または9に記載の無線通信システム。

【請求項12】 少なくともインダクタンス素子を除く構成素子が半導体チップ上に形成された送信用発振器と、該送信用発振器で生成された信号を出力する第1の外部端子と、基準信号とフィードバック信号の位相を比較して位相差に応じて前記送信用発振器を制御する位相検出回路と、外部から供給される信号を受ける第2の外部端子と、該第2の外部端子に入力された信号と所定の周波数の信号との合成を行なう信号合成回路とを有する通信用半導体集積回路であって、

前記信号合成回路は、一対の差動入力端子を有する差動型回路を具備し、該信号合成回路の一方の差動入力端子と前記第2の外部端子との間には第1の減衰手

段が設けられ、前記信号合成回路の他方の差動入力端子と所定の電位が供給される第3の外部端子との間には第2の減衰手段が設けられていることを特徴とする通信用半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、位相変調のための位相制御ループおよび振幅変調のための振幅制御ループを有する無線通信システムに適用して有効な技術に関し、特に位相検出回路と振幅検出回路を内蔵する通信用半導体集積回路およびこの通信用半導体集積回路を組み込んだ携帯電話機等の無線通信システムに適用して有効な技術に関する。

【0002】

【従来の技術】

従来、携帯電話機等の無線通信装置（移動体通信装置）の方式の一つに欧州で採用されているGSM（Global System for Mobile Communication）と呼ばれる方式がある。このGSM方式においては、搬送波の位相を送信データに応じてシフトするGMSK（Gaussian Minimum Shift Keying）と呼ばれる位相変調方式が用いられている。

【0003】

一方、近年の携帯電話機においては、EDGE（Enhanced Data Rates for GSM Evolution）方式が提案されている。このEDGE方式は、音声信号の通信をGMSK変調で行ない、データ通信を $3\pi/8$ rotating 8-P SK（Phase Shift Keying）変調で行なうデュアルモードの通信機能を備えている。8-P SK変調はGMSK変調における搬送波の位相シフトにさらに振幅シフトを加えたような変調であり、1シンボル当たり1ビットの情報を送るGMSK変調に対し、8-P SK変調では1シンボル当たり3ビットの情報を送ることができる。そのため、EDGE方式は、GSM方式に比べて高い伝送レートによる通信を行なうことができる。

【0004】

送信信号の位相成分と振幅成分にそれぞれ情報を持たせる変調方式の実現方法としては、送信したい信号を位相成分と振幅成分に分離した後、位相制御ループと振幅制御ループでそれぞれフィードバックをかけて制御した後、アンプで合成して出力するポーラーループと呼ばれる方式が従来より知られている（例えば、ARTECH HOUSE, INC. が 1979 年に出版の “High Linearity RF Amplifier Design” by Kenington, Peter B. の第 162 頁）。

【0005】

ところで、近年、無線通信システムにおいては、部品点数を減らしてシステムの小型化および低コスト化を図るため、できるだけ多くの回路を 1 つあるいは数個の半導体集積回路内に取り込む努力がなされている。その一つに、送信用発振器を変復調機能を有する通信用半導体集積回路（以下、高周波 IC と称する）に内蔵させる技術があり、GSM 方式の通信システムを構成する高周波 IC に関しては、送信用発振器をオンチップ化させたものが、本出願人によって開発され提案されている（特許文献 1）。

【0006】

【特許文献 1】

特願2003-048525号

【0007】

【発明が解決しようとする課題】

本発明者等は、EDGE 方式の通信システムを構成する高周波 IC に送信用発振器を内蔵させる技術について検討を行なった。その結果、以下のような問題点があることが明らかになった。なお、本発明者等が検討したポーラーループ方式は、位相制御ループに関しては送信用発振器の出力または高周波電力增幅回路（以下、パワーアンプと称する）の出力を検出して基準信号と比較する位相比較器にフィードバックさせ、振幅制御ループに関してはパワーアンプの出力を検出して基準信号と比較する振幅比較器にフィードバックさせる方式である。かかるポーラーループ方式については、本出願人等によって提案された特許出願（特願2003-54042号）に開示されている。

【0008】

GMSK変調方式を採用したGSMやDCS (Digital Cellular System)などのシステムでは、搬送波を送信データに応じて位相変調して出力すれば良いので、フィードバック制御ループとしては位相制御ループのみあれば足りる。前記特許文献1に開示されている無線通信システムは、送信回路の直交変調器において位相変調のみ行ない、オフセットPLL方式と呼ばれる方式でアップコンバートを行なうものであり、高周波ICに送信用発振器を内蔵させると位相制御のためのフィードバック制御ループもチップ内で閉じるように構成できるので、以下に述べるような不具合は発生しない。

【0009】

一方、ポーラループ方式を採用したEDGEシステムでは、変調器で変調された信号から位相成分と振幅成分をそれぞれ抽出して別々に制御を行ない、パワーアンプでベクトル合成して出力する。そのため、位相制御ループと振幅制御ループの2つのフィードバック制御ループが必要とされる。また、少なくとも振幅制御ループは、送信用発振器よりも後段のパワーアンプの出力レベルを検出してフィードバックし、パワーアンプのゲインを制御するように構成する必要がある。

【0010】

従って、パワーアンプと高周波ICとが別個の半導体チップで構成されているシステムにおいて、高周波ICに送信用発振器を内蔵させた場合、送信用発振器の発振信号は高周波ICの外部端子からチップ外のパワーアンプへ出力される。また、パワーアンプから出力される送信信号を検出するカプラの検出信号は高周波ICの外部端子へ入力され、フィードバックバスを介してICチップ内部の振幅比較器または振幅比較器および位相比較器へ供給される。

【0011】

ここで、高周波IC内の送信用発振器で生成され外部へ出力される送信信号と、カプラで検出され高周波ICへ入力されるフィードバック信号は、同一の周波数である。つまり、送信用発振器側からのノイズをフィードバックバス上のフィルタでカットすることができない。また、パワーアンプの出力レベルは非常に大きくカプラの検出信号のレベルも大きくなるので、本発明者らが提案した先願発

明のポーラループ方式の通信システムにおいては、カプラで検出した信号をアンテネータにより26dB以上減衰して高周波ICへ入力していた。

【0012】

ところが、高周波ICに送信用発振器を内蔵させた場合、送信用発振器の出力ピンでのレベルは約7.8dBmである。そのため、特別なアイソレーションを施さないと、送信用発振器の出力ピンから振幅制御ループのフィードバック信号の入力ピンへ飛び込むノイズのレベルが-40dBm近くになる。よって、パワーアンプが例えばその最小出力レベルである-14dBmのような出力レベルで動作している場合には、振幅制御ループのフィードバック信号の入力レベルは、飛び込みノイズのレベル(-40dBm)と同程度もしくはそれよりも低いレベルになってしまう。その結果、パワーアンプの正確な出力制御が行なえないという課題が生じることが明らかになった。なお、ここでは、高周波ICはベアチップの状態ではなく、パッケージに封入されている状態にあることを想定している。

【0013】

そこで、送信用発振器の出力ピンと振幅制御ループのフィードバック信号の入力ピンとのアイソレーションを高くするため、両方のピンを最も離れた位置に配置することも検討した。しかし、結果はほぼ同じであり、フィードバック信号の入力ピンへの飛び込みノイズのレベルを充分に下げるることはできなかった。しかも、わざわざ送信用発振器の出力ピンと振幅制御ループのフィードバック信号の入力ピンを互いに離れた位置に設けようすると、他の回路の配置にしわ寄せが行きチップ全体のレイアウト設計が面倒になると共に、無駄な空白領域が生じてチップ面積が増大するという不具合も生じる。

【0014】

本発明の目的は、送信信号の位相と振幅を制御するためのフィードバック制御ループを有する無線通信システムにおいて、システムを構成する部品数を減らし、実装密度を高めて小型化を図るとともにコストを低減することができる通信用半導体集積回路を提供することにある。

【0015】

本発明の他の目的は、パワーアンプの出力電力を制御するためのフィードバッ

ク制御ループを有する無線通信システムにおいて、システムを構成する高周波ICのような通信用半導体集積回路に送信用発振器を内蔵させた場合に、送信用発振器の出力ピンからパワーアンプの出力レベル検出信号の入力ピンへ飛び込むノイズによってパワーアンプの出力電力制御の精度が低下するのを防止することにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添附図面から明らかになるであろう。

【0016】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。

すなわち、送信用発振器から出力される搬送波の位相を制御する位相制御ループと、電力增幅回路から出力される送信出力信号の振幅を制御する振幅制御ループとを有しGMSK変調モードによる送信と8-PSK変調モードによる送信が可能な無線通信装置を構成する高周波ICに送信用発振器を内蔵させ、カプラで検出されたパワーアンプの出力レベルの検出信号を、送信用発振器の出力ピンから振幅制御ループのフィードバック信号の入力ピンへ飛び込むノイズのレベルよりも若干高いレベルまで減衰して高周波ICの上記フィードバック信号入力ピンへ入力させるようにしたものである。

【0017】

これにより、システムを構成する部品点数を減らし、実装密度を高めることができる。なお、ここで、高周波ICに送信用発振器を内蔵させると、送信用発振器を構成するすべての素子を内蔵させる場合はもちろん、送信用発振器が例えばLC共振型発振器のようなインダクタンス素子を備える回路である場合に、オンチップの素子では所望の特性が得られにくいインダクタンス素子については外付け素子を用い、インダクタンス素子を除く他の構成素子を変調器が形成された半導体チップと同一チップ上に形成する場合を含むものとする。

【0018】

【発明の実施の形態】

図1は、本発明を適用して好適なポーラループ方式の無線通信システムの一実施例の概略構成を示す。図1の無線通信システムは、GSMシステムにおけるGMSK変調やEDGEシステムにおける8-PSK変調を行なうことができる通信用半導体集積回路としての高周波IC100、アンテナANTを駆動して送信を行なうパワーアンプ（高周波電力增幅回路）210や送信電力を検出するためのカプラ220などを含むパワーモジュール200、送信データ（ベースバンド信号）に基づいてI/Q信号を生成したり高周波IC100の制御信号やパワーモジュール200内のパワーアンプ210に対するバイアス電圧VBIASを生成したりするベースバンド回路300から構成されている。ベースバンド回路300は1つの半導体チップ上に半導体集積回路として構成することができる。以下では、ベースバンド回路が半導体集積回路で形成されている例を用いて説明するので、ベースバンド回路をベースバンドIC300として述べる。

【0019】

本実施例においては、高周波IC100のチップ上に、変調回路120や位相変調された送信信号（搬送波）を生成する送信用発振器TxVCOなどからなる送信系回路の他に、受信信号を増幅するロウノイズアンプ（LNA）、受信信号とRF-VCOからの発振信号とをミキシングして受信信号を直接ベースバンド信号にダウンコンバートするミクサ（Rx-MIX）、高利得のプログラマブル・ゲインアンプ（PGA）などからなる受信系回路190が形成されている。

【0020】

本実施例の無線通信システムは、位相制御のためのフィードバック制御ループ（本明細書では、これを位相制御ループまたはサブ位相制御ループと称する）の他に、振幅制御のためのフィードバック制御ループ（本明細書では、これを振幅制御ループと称する）の2つの制御ループを備える。

【0021】

高周波IC100には、発振器IF-VCOで生成された例えば640MHzのような周波数の発振信号IFを分周しつつ互いに位相が90°ずれた80MHzの中間周波数の信号を生成する位相分周回路110、ベースバンドIC300から供給されるI/Q信号と位相分周回路110で分周された信号とをミキシ

グして直交変調を行なう直交変調回路120、送信用発振器TxVCOからのフィードバック信号と高周波発振器RF-VCOからの発振信号 ϕ RFとをミキシングして、80MHzの信号にダウンコンバートするミクサ131、該ミクサ131の出力信号と前記直交変調回路120の出力信号との位相差を検出する位相検出回路140、パワーアンプ210の出力レベルを検出する前記カプラ220の検出信号と高周波発振器RF-VCOからの発振信号 ϕ RFとをミキシングするミクサ132、該ミクサ132の出力を増幅するフィードバック側可変利得増幅回路MVGA、該増幅回路MVGAで増幅された信号と前記直交変調回路120の出力信号とを比較して振幅差を検出する振幅検出回路150、振幅検出回路150の出力に比例した電圧を発生するとともに振幅制御ループの周波数帯域を規制するループフィルタLPF2、該ループフィルタLPF2を通過した信号を増幅するフォワードパス側可変利得増幅回路IVGA、電流-電圧変換器VIC、可変利得増幅回路MVGAおよびIVGAの利得を制御する利得制御回路160、チップ内部の制御情報や動作モード等を設定するためのレジスタ170、レジスタ170の設定値に基づいてチップ内部の各回路を制御する制御回路180などを備える。

【0022】

制御回路180は、外部のベースバンドIC300からの入力コマンドや指定された動作モードに応じて内部回路を所定の順序で動作させるタイミング信号を生成するシーケンサの機能を有するように構成されている。

【0023】

上記カプラ220からミクサ132、可変利得増幅回路MVGA、振幅検出回路150、ループフィルタLPF2、可変利得増幅回路IVGAを通ってパワーアンプ210に至るまでのループにより振幅制御ループが構成される。また、位相検出回路140からループフィルタLPF1、送信用発振器TxVCO、ミクサ131を通って位相検出回路140までのループにより位相制御ループが構成される。本実施例では、位相制御ループの帯域を制限するループフィルタLPF1は、外付けの容量C0、C1およびC1と直列の抵抗R1とから構成されている。

【0024】

この実施例の高周波IC100においては、直交変調回路120の出力信号とミクサ131からのフィードバック信号に位相差が生じていると、この誤差を減少させるような電圧が送信用発振器TxVCOの周波数制御端子に供給され、ミクサ131からのフィードバック信号の位相が直交変調回路120の出力信号の位相と一致するように制御が行なわれる。この位相制御ループにより、送信用発振器TxVCOの出力の位相が電源電圧変動や温度変化に対してずれないような制御が行われる。なお、送信用発振器TxVCOの振幅は一定である。

【0025】

さらに、この実施例の高周波IC100においては、上記可変利得増幅回路MVG Aの出力が位相検出回路140と振幅検出回路150の両方に供給されるようにされ、カプラ220からミクサ132を通って可変利得増幅回路MVG Aまでの経路を振幅制御ループと位相制御ループの共通のフィードバックパスとして使用可能にするため、切替えスイッチSW0が設けられている。スイッチSW0は、ベースバンドIC300によって設定が行なわれるレジスタ170の設定状態に応じて制御回路180によって切替えが行なわれる。

【0026】

EDGEモードではパワーアンプ210の出力に位相変調成分と振幅変調成分の両方が含まれるので、出力側の位相成分を有する位相検出回路140への帰還信号として、送信用発振器TxVCOの出力またはパワーアンプ210の出力のいずれを用いてもよい。ただし、送信開始時はパワーアンプ210の出力がまだ立ち上がってないので、振幅制御ループからのフィードバック信号では位相制御ループをロックさせることができない。

【0027】

また、EDGEモードでは振幅制御ループのフィードバックパスは、パワーアンプにおいて発生した歪みを修正するために不可欠である。そのため、ループがロックした後はフィードバックパスを振幅制御ループと位相制御ループで共用して、ミクサ131を含むTxVCO側のサブ位相制御ループを遮断してもよく、それにより消費電力を低減でき、またより精度の高い位相変調が行なえる。

【0028】

そこで、この実施例においては、スイッチSW0は、出力立上げ時にはサブ位相制御ループすなわちミクサ131からのフィードバック信号を選択する側に切り替えられ、ループが安定したらフィードバックパスすなわち可変利得增幅回路MVG Aからの信号を選択する側（この明細書では、このループをメイン位相制御ループと称し、前記サブ位相制御ループと区別する）に切り替えられる。これにより、ループ安定後はパワーアンプ210の出力の位相が変調回路120からの信号S REFの位相に一致するような制御が行なわれ、サブ位相制御ループによる制御よりも精度の高い位相制御が可能になる。

【0029】

サブ位相制御ループ上のループフィルタLPF1は、容量C0, C1およびC2と直列に接続された抵抗R1とから構成されている。各容量や抵抗の値は、ループフィルタLPF1の周波数帯域が、位相変調のみ行なうGMSK変調モードを考慮してノイズ抑制度の高い1.2MHzのような周波数帯域となるように決定されている。

【0030】

さらに、本実施例では、このサブ位相制御ループをGMSK変調モードと8-PSK変調モードで共用できるように構成されている。具体的には、図示しないが、上記ループフィルタLPF1の抵抗R1と並列に、抵抗およびこれと直列のスイッチが設けられている。このスイッチをオンさせると、ループフィルタLPF1の周波数帯域が1.8MHzに広がるように構成されている。すなわち、8-PSK変調モードでは、ループフィルタLPF1の周波数帯域が振幅制御ループと同じ1.8MHzに設定される。これにより動作が安定化される。また、GMSK変調モードでは、スイッチをオフさせることによりループフィルタLPF1の周波数帯域が振幅制御ループよりも狭い1.2MHzに設定され、ループの安定性およびノイズ抑制度を高めることができるようにされている。

【0031】

本実施例の高周波IC100の送信系回路では、8-PSK変調モードで動作する場合、ループ安定後に振幅制御ループにおいて、パワーアンプ210の出力

電力がカプラ220により検出され、その検出信号がミクサ132において高周波発振器RF-VCOからの発振信号 ϕ_{RF} とをミキシングされることにより中間周波数（I F）の信号に変換され、可変利得增幅回路MVG Aにより増幅されてフィードバック信号SFBとして振幅検出回路150に供給される。

【0032】

そして、振幅検出回路150において、上記フィードバック信号SFBと直交変調回路120により変調された信号SREFとが比較されて振幅差が検出される。その振幅差がループフィルタLPF2を介して可変利得增幅回路IVGAに供給されて増幅され、パワーアンプ210の出力制御端子に制御電圧VAPCとして印加され、振幅制御が行なわれる。

【0033】

さらに、本実施例では、可変利得增幅回路IVGAの後段に、チャージポンプCGPとレベルシフト回路LVSとが設けられている。チャージポンプCGPは、可変利得增幅回路IVGAの差動出力によりチャージアップまたはディスチャージを行なって可変利得增幅回路IVGAの出力電流を積分する。レベルシフト回路LVSは、チャージポンプで発生された電圧を約0.6Vだけ負の方向へシフトする。チャージポンプCGPは一対の電流源IS1, IS2と容量C4とから構成されている。レベルシフト回路LVSを設けているのは、出力パワーモジュール200に対しては制御電圧として0Vまで印加できることが要求されるのに対し、本実施例のチャージポンプCGPは電流源IS2の性質から0Vを出力することができないためである。

【0034】

この実施例においては、パワーアンプ210はFETなどで構成されており、パワーモジュール200に設けられている電圧制御回路（図示略）により前記制御電圧VAPCに応じた駆動電圧（Vdd）が生成されてこのFETのドレイン端子もしくはソース端子に印加される。また、パワーFETのゲート端子には、ベースバンドIC300もしくは図示しないバイアス回路で生成された適当なバイアス電圧VBIASが印加される。

【0035】

ここで、フォワードパス上の可変利得増幅回路IVGAとフィードバックパス上の可変利得増幅回路MVGAに対する利得制御について説明する。

EDGEまたはGSM対応の携帯電話端末では、パワーアンプの出力電力POUTを一定時間内に所望の値まで増加または減少させるパワー制御を行なわれる。ポーラーループ方式を採用した本実施例のシステムでは、このパワー制御を可変利得増幅回路MVGAのゲインを制御することにより行なう。具体的には、可変利得増幅回路MVGAのゲインを減少させれば振幅検出器150へのフィードバック信号SFBは減少する。よって、振幅制御ループは、パワーアンプのRFゲインGPA (POUT/PIN) を増加させて、フィードバック信号SFBと変調回路からの基準信号SREFとを一致させるように作用する。

【0036】

このように、可変利得増幅回路MVGAのゲインが減少したときは、出力電力POUTは増加する。出力電力POUTを減少させたい時は、可変利得増幅回路MVGAのゲインを増加させればよい。本実施例では、可変利得増幅回路MVGAのゲイン制御は、ベースバンドIC300からの制御電圧VRAMPにより行なうようにしている。しかも、振幅制御ループの安定のために、可変利得増幅回路MVGAのゲインGMVGAの減少または増加の割合と、可変利得増幅回路IVGAのゲインGIVGAの増加または減少の割合は常に等しくされる。

【0037】

一方、直交変調回路120から位相検出器140と振幅検出器150へ供給される基準信号SREFは、8-P SKで変調された信号であり振幅成分と位相成分が変化しているが、振幅制御ループの作用によりパワーアンプの出力電力POUTの振幅成分の変化が基準信号SREFの振幅成分の変化と一致するような制御が行なわれる。また、位相制御ループの作用によりパワーアンプの出力電力POUTの位相成分の変化が基準信号SREFの位相成分の変化と一致するような制御が行なわれる。その結果、パワーアンプの出力は、直交変調回路120により生成された8-P SK変調信号の本来の変調にきわめて近似した変調された出力となる。なお、このときパワーアンプ210の出力電力POUTは、前述したようなパワー制御により所望の値になるようにされる。

【0038】

また、図1には示されていないが、サブ位相制御ループのフィードバックパスには、送信用発振器TxVCOとミクサ131との間に発振器TxVCOの出力を減衰してミクサ131に供給するアッテネータが、またミクサ131と位相検出回路140との間に高調波を除去するためのロウパスフィルタが設けられる。一方、振幅制御ループのフィードバックパスには、カプラ220とミクサ132との間にアッテネータが、またミクサ132と可変利得增幅回路MVG Aとの間および可変利得增幅回路MVG Aと振幅検出回路150との間にそれぞれ不要波や高調波を除去するためのロウパスフィルタが設けられる。

【0039】

次に、本発明の第1の実施形態の構成とその作用について説明する。

図2には、図1のポーラループ方式の無線通信システムにおいて、パワーアンプ210の出力レベルを検出する前記カプラ220a, 220bとミクサ132との間に設けられる減衰回路（アッテネータ）400とミクサ132の構成例が示されている。

【0040】

なお、図2に、2つのカプラ220a, 220bが示されているのは、本実施例の高周波IC100は、800MHzのGSMと1800MHzのDCSおよび1900MHzのPCS (Personal Communications System) の3つの通信方式に対応可能に構成されており、パワーアンプ210もこれに応じて2つ設けられているためである。図示しないが、TxVCOも2つ設けられている。1800MHzのDCSと1900MHzのPCSは周波数帯が近いので、送信信号の生成、増幅及び検出には、共通のTxVCO、パワーアンプ及びカプラが用いられる。

【0041】

図2に示されているように、第1の実施形態では、減衰回路400は抵抗R11～R22からなるπ型アッテネータで構成されている。これとともに、高周波IC100には、前記カプラ220の検出信号を前記ミクサ132へ供給するため設けられた入力ピンP1の他に、ダミーの入力ピンP2が設けられている。

【0042】

そして、第1の実施形態では、 π 型アッテネータを構成する抵抗R11～R22のうち抵抗R11～R14は、パワーアンプ210の出力レベルを検出するカプラ220a, 220bと該カプラの検出信号を入力するための入力ピンP1との間に接続されている。また、 π 型アッテネータを構成する抵抗R11～R22のうち抵抗R15～R18, R21, R22は、前記入力ピンP1およびダミー入力ピンP2とミクサ132との間に接続されている。これらの抵抗のうちR21とR22は50Ωのような終端抵抗である。

【0043】

これにより、高周波IC100に入力される検出信号の減衰量は、アッテネータを構成するすべての抵抗R11～R22をチップ外部に接続する場合よりも少なくすることができる。つまり、カプラ220の検出信号が入力される入力ピンP1における信号レベルは、アッテネータを構成するすべての抵抗をチップ外部に設けた場合の信号レベルに比べて大きくなる。

【0044】

本実施形態においては、送信時のパワーアンプ210が最小レベルのときの入力ピンP1における検出信号のレベルが、TxVCOの出力ピンP3からカプラの検出信号の入力ピンP1へ飛び込むノイズのレベルよりも大きくなるように抵抗R11～R13の値が設定される。

【0045】

例えばTxVCOの出力ピンP3における出力レベルが+5dBmで、入力ピンP1へ飛び込むノイズのレベルが-40dBm、カプラ220での検出信号のレベルが振幅制御ループの収束レベルである-11dBmの場合に、カプラ220の検出信号(-11dBm)を抵抗R11～R14で26dBmほど減衰して、入力ピンP1における検出信号のレベルが-37dBmになるように抵抗R11～R13の値を決定すれば良い。これにより、ミクサ132へ入力される信号のS/N比が劣化して、振幅制御ループによるフィードバック制御の精度が低下するのを防止することができる。

【0046】

ただし、入力ピンP1への飛込みノイズのレベルは入力ピンP1と出力ピンP3との距離やアイソレーション対策の有無等に依存し、またカプラ220での検出信号のレベルはカプラの感度に依存するので、抵抗R11～R13の具体的な値はピンP1とP3との距離やカプラの感度等に応じて適宜決定するのが良い。

【0047】

一方の端子が接地点に接続されている抵抗R14, R16, R18, R19の値は、この実施形態では、終端抵抗R21とR22の50Ωよりも若干大きな値（例えば61Ω）とされ、入力ピンP1, P2とミクサ132の入力端子との間に直列に接続された抵抗R15, R17の抵抗値は、抵抗R14, R16, R18, R19の数倍程度の値（例えば248Ω）とされている。これにより、ピンP1への入力検出信号は、抵抗R15, R16でさらに約20dBmほど減衰されてミクサ132へ供給される。

【0048】

また、アッテネータを構成する抵抗R11～R22のうち抵抗R11～R14を入力ピンP1に外付け抵抗として接続したのに応じて、ダミーの入力ピンP2には、一方の端子が接地点に接続された抵抗R19, R20が並列に接続されている。抵抗R19, R20のうちR20は50Ωのような終端抵抗である。この抵抗R16の代わりに、ダミー入力ピンP2の実質的なインピーダンスを50Ωとすることができますようにするため、並列形態の可変抵抗と容量素子とからなる共役インピーダンス整合回路を設けるようにしても良い。

【0049】

さらに、図2の第1実施形態では、ミクサ132として、特に制限されるものでないが、ギルバートセルと呼ばれる差動型回路が使用されている。かかるギルバートセルからなるミクサの場合、差動入力トランジスタQ1, Q2のうち一方のトランジスタのベース端子にカプラ220の検出信号を入力し、他方のトランジスタのベース端子にはカプラ220の検出信号の中間電位を入力しておくことで、シングル入力の回路として動作させることができ、それによってピン数を減らすことができる。

【0050】

本発明者らが提案した前記先願発明（特願2003-54042号）においては、このようなシングル入力のミクサを想定していた。しかし、前述したように、TxVCOの出力ピンP3からの飛込みノイズによるフィードバック制御精度の低下を防止するため、本実施形態においては、本来の検出信号の入力ピンP1の他にダミー入力ピンP2を設け、ミクサ132を構成する差動入力トランジスタの一方（図2ではQ2）のベース端子を、容量C12を介して前記ダミー入力ピンP2に接続する構成とした。これにより、TxVCOの出力ピンP3から検出信号の入力ピンP1へ飛び込むノイズと同一のノイズをダミー入力ピンP2から差動入力トランジスタへ入力させて、差動回路の持つ同相ノイズ相殺効果を利用してノイズ量を減らすことができる。

【0051】

なお、図2に示されているミクサ132においては、上記差動入力トランジスタQ1, Q2のベースに抵抗R31, R32を介してバイアス電圧Vbbが印加されており、入力ピンP1により入力されたパワーアンプ出力の検出信号はこのバイアス電圧Vbbを動作点（中心電位）として変化するようになる。

【0052】

さらに、上記差動入力トランジスタQ1, Q2のコレクタにはそれぞれエミッタ共通結合のトランジスタ対Q3, Q4とQ5, Q6が接続され、Q3とQ5のコレクタが共通の負荷抵抗R36に接続され、Q4とQ6のコレクタが共通の負荷抵抗R37に接続されている。そして、Q3～Q6のベースに高周波発振器RFVCOからの発振信号 ϕ_{RF} , ϕ_{RF} が容量C13, C14を介して入力され、入力ピンP1により入力されたパワーアンプ出力の検出信号と発振信号 ϕ_{RF} とを合成することでそれらの周波数差に相当する周波数成分を含む信号が出力される。

【0053】

図3には、上記第1実施形態の減衰回路の変形例を示す。この変形例は、図2の第1実施形態において減衰回路を構成している抵抗R11～R19のうち、ピンP1, P2に外付け素子として接続されていた抵抗R14およびR19を、R15～R17と共に高周波IC100のチップ上に形成するようにしたものであ

る。

【0054】

この変形例においても図2の回路と同様に、TxVCOの出力ピンP3から検出信号の入力ピンP1へ飛び込むノイズのレベルよりも、入力ピンP1へ入力されるカプラからの検出信号のレベルを大きくして、ミクサ132に入力される信号のS/N比を向上させることができるという効果が得られる。しかも、この変形例によれば、抵抗R14およびR19をオンチップ化したことにより、さらに部品点数を減らすことができるという利点がある。ただし、この変形例は、チップ内部の接地電位が充分に安定したものでないと、図2の第1実施形態の減衰回路よりも性能が悪くなるという不具合がある。

【0055】

ところで、図2の第1実施形態の減衰回路および図3の変形例は、チップ内部の接地電位が充分に安定しているものとして説明した。しかし、実際のデバイスでは、図4に示されているように、接地電位GNDは入力ピンP1やP2と同様な外部端子（ピンP4）から、ボンディングワイヤやチップ内部の配線を通して与えられることが多い。そのような場合には、TxVCOの出力ピンP3からグランドピンP4へ飛び込んだノイズがミクサ132の入力端子に回り込んで、CMRR（同相成分除去比）を劣化させるおそれがある。

【0056】

図4には、グランドピンP4へ飛び込んだノイズの回り込みによるCMRRの劣化を防止できるようにした第2実施形態の減衰回路およびミクサ回路を示す。図2の第1実施形態との主な相違点は、①図2の第1実施形態ではπ型アッテネータを構成する抵抗としてチップ上にR15～R18を設けているのに対し、図4の第2実施形態ではチップ上に形成される抵抗として例えば646Ωのような抵抗R15, R17のみ用い、接地点に接続される抵抗R16, R18が省略されている点、②ミクサ132の差動入力トランジスタQ1, Q2を、ベースを入力とするエミッタ接地型とする代わりにエミッタを入力とするベース接地型として用い、ベースには抵抗R30を介して例えば1.3Vのようなバイアス電圧Vbb'を印加している点、③トランジスタQ1, Q2のベースと接地点との間に

容量素子C10を設けている点がある。外付け抵抗は、図2の第1実施形態と同様で良く、カプラ220により検出された信号を-26dBm減衰して入力ピンP1へ伝えるように構成される。

【0057】

図2の回路ではアッテネータを構成している抵抗R16, R18を通してグランドラインからトランジスタQ1, Q2に回り込むノイズがあるが、この第2実施形態においてはそれがない。また、TxVCOの出力ピンP3からグランドピンP4へ飛び込んだノイズは、容量素子C10を介してトランジスタQ1, Q2の各ベースへ伝わるとともに、ミクサ132の接地電位から抵抗R34, R35を通してトランジスタQ1, Q2の各エミッタに伝わることになる。そのため、トランジスタQ1, Q2のベース・エミッタ間電圧はグランドライン回りのノイズに対して何らゲインを持たないことになる。その結果、図4の回路は、図2の回路に比べてCMRRが良好となる。

【0058】

図5には、送信用発振器TxVCOの一実施例としてのLC共振型発振回路を示す。この実施例の発振回路は、図5に示されているように、ソースが共通接続されかつ互いにゲートとドレインとが交差結合された一対のPチャネルMOSトランジスタQ11, Q12と、該トランジスタQ11, Q12の共通ソースと電源電圧端子Vccとの間に接続された定電流源Icと、定電流源Icと直列に設けられたスイッチSW10と、各トランジスタQ11, Q12のドレインと接地点GNDとの間にそれぞれ接続されたインダクタ（コイル）L1, L2と、上記トランジスタQ11, Q12のドレイン端子間に直列に接続された容量C11, スイッチSW11, SW12, 容量C12を含む第1の直列回路と、および前記第1の直列回路と並列に接続され、容量C21, スイッチSW21, SW22, 容量C22を含む第2の直列回路と、前記第1の直列回路と並列に接続され、容量C31, スイッチSW31, SW32, 容量C32を含む第3の直列回路と、トランジスタQ11, Q12のドレイン端子間に直列に接続された可変容量素子としてのバラクタ・ダイオードDv11, Dv12とから構成されている。バラクタ・ダイオードDv11, Dv12はPチャネルMOSトランジスタで構成す

ることができる。Q11, Q12はバイポーラ・トランジスタであってもよい。

【0059】

スイッチSW11～SW32は、図1に示されている制御回路180からのバンド選択信号VB2～VB0によってオン、オフ制御される。これにより、Tx VCOの発振周波数が段階的に変化される。一方、バラクタ・ダイオードDv11, Dv12の一方の端子には、ループフィルタLPF1からの制御電圧Vcが印加されて周波数を連続的に制御するように構成されている。

【0060】

具体的には、スイッチSW11～SW32のうちオン状態にされるものの数が多くなると、トランジスタQ11, Q12のドレイン端子間に接続される容量の値が大きくなつて発振周波数は低くなる。一方、オン状態にされるスイッチの数が少なくなると発振周波数は高くなる。これらのスイッチSW11～SW32は、送信モードがGSMかDCSかPCSかに応じて選択的にオンされる。

【0061】

また、定電流源Icと直列に設けられたスイッチSW10は起動用のスイッチであり、これがオンされると当該発振回路は発振動作を開始し、スイッチSW10がオフされると発振動作を停止する。スイッチSW10を設ける代わりに定電流源Icを直接オン、オフ制御するように構成しても良い。スイッチSW10は、制御回路180から出力される切替え信号TVEによって制御される。

【0062】

図1の実施例の高周波IC100では、LC共振型発振回路からなる高周波発振器RFVCOや中間周波数用発振器IFVCOを構成するインダクタとしてオンチップの素子が使用されている。これに対して、送信発振器TxVCOに関しては、GSM用のTxVCOのインダクタL1, L2は外付け素子が用いられ、DCS/PCS用TxVCOのインダクタL1, L2はICに組み込まれている。これは、GSM用のTxVCOにオンチップのインダクタを用いたのでは、充分なQ (quality factor) が得るのが難しいからである。

【0063】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本

発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例の説明では、GSM用のTxVCOのインダクタL1, L2は外付け素子が用いられると説明したが、所望の特性のインダクタをオンチップ素子で得ることができるようになれば、外付け素子を用いる必要はない。また、図4の第2実施形態においては、入力ピンP1, P2の信号を抵抗R15, R17および容量C11, C12を介して差動入力トランジスタQ1, Q2のエミッタへ入力しているが、入力ピンP1, P2の信号をQ1, Q2のベースに入力する構成とすることも可能である。

【0064】

また、上記実施例では、位相制御ループと振幅制御ループを有するポーラループ方式の無線通信システムに適用した場合を説明したが、本発明は、送信用発振器の主要部がチップ上に形成されて発振信号が高周波ICの外部端子から出力され、パワーアンプの出力検出信号がチップ外部から高周波ICへフィードバックされるように構成された高周波ICおよび無線通信システムに広く適用することが可能である。

【0065】

以上、本発明を、GSM方式とDCS1800方式とPCS1900方式の3つの方式に従った通信が可能に構成されたトリプルバンド方式のシステムに適用した場合を説明したが、本発明は、GSM方式、DCS方式、PCS方式のいずれか一つ、またはこれらのうちいずれか2つの方式に従った通信が可能に構成されたデュアルバンド方式のシステムさらにはクオッドバンド方式のシステムおよびそれに使用される高周波ICに適用することができる。

【0066】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、本発明に従うと、位相制御ループと振幅制御ループの2つのフィードバック制御ループを有する無線通信システムにおいて、システムを構成する部品点数を減らし、実装密度を高めて小型化を図るとともにコストを低減すること

ができる。

【0067】

また、パワーアンプの出力電力を制御するためのフィードバック制御ループを有する無線通信システムにおいて、システムを構成する高周波ICのような通信用半導体集積回路に送信用発振器を内蔵させた場合に、送信用発振器の出力ピンからパワーアンプの出力レベル検出信号の入力ピンへ飛び込むノイズによってパワーアンプの出力電力制御の精度が低下するのを防止することができる。

【図面の簡単な説明】

【図1】

本発明を適用して好適なポーラループ方式の無線通信システムの一実施例の概略構成を示すブロック図である。

【図2】

図1のポーラループ方式の無線通信システムにおいて、パワーアンプの出力レベルを検出するカプラとダウンコンバート用のミクサとの間に設けられる減衰回路（アッテネータ）およびミクサの第1の実施形態を示す回路図である。

【図3】

図2の実施例における送信装置における減衰回路の変形例を示す回路図である。

【図4】

パワーアンプの出力レベルを検出するカプラとダウンコンバート用のミクサとの間に設けられる減衰回路（アッテネータ）およびミクサの第2の実施形態を示す回路図である。

【図5】

本発明の実施例において使用される送信用発振器の一例を示す回路図である。

【符号の説明】

100 高周波IC

110 位相分周回路

120 直交変調回路

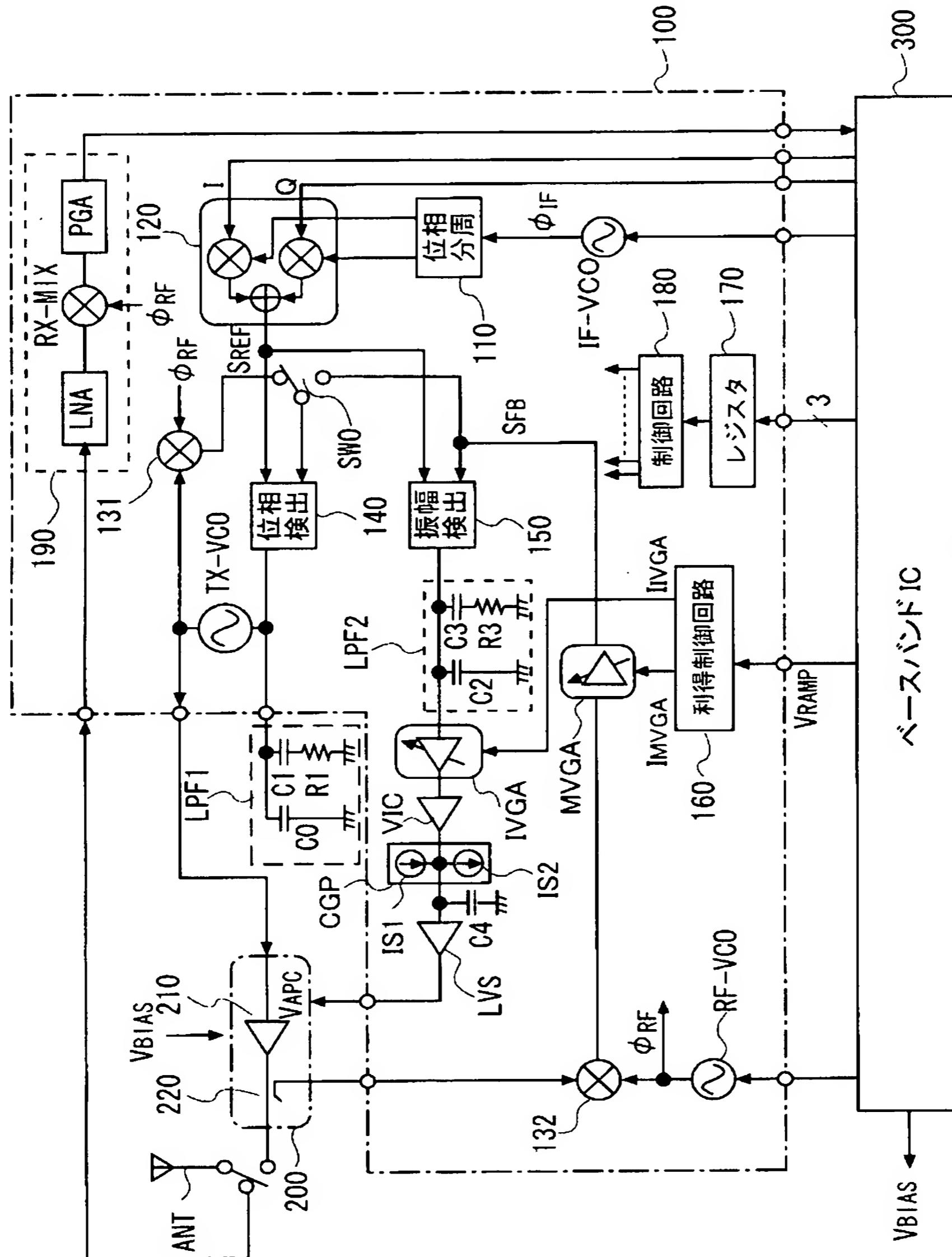
131 ミクサ

132 ミクサ
140 位相検出回路
150 振幅検出回路
160 利得制御回路
170 レジスタ
180 制御回路（シーケンサ）
190 受信系回路
200 パワーモジュール
210 パワーアンプ
220 カプラ
300 ベースバンド回路（ベースバンドIC）
400 減衰回路（アッテネータ）
TxVCO 送信用発振器
RF-VCO 高周波発振器
IF-VCO 中間周波数発振器
LPF1 ループフィルタ
LPF2 ループフィルタ
MVG A, IVGA 可変利得增幅回路

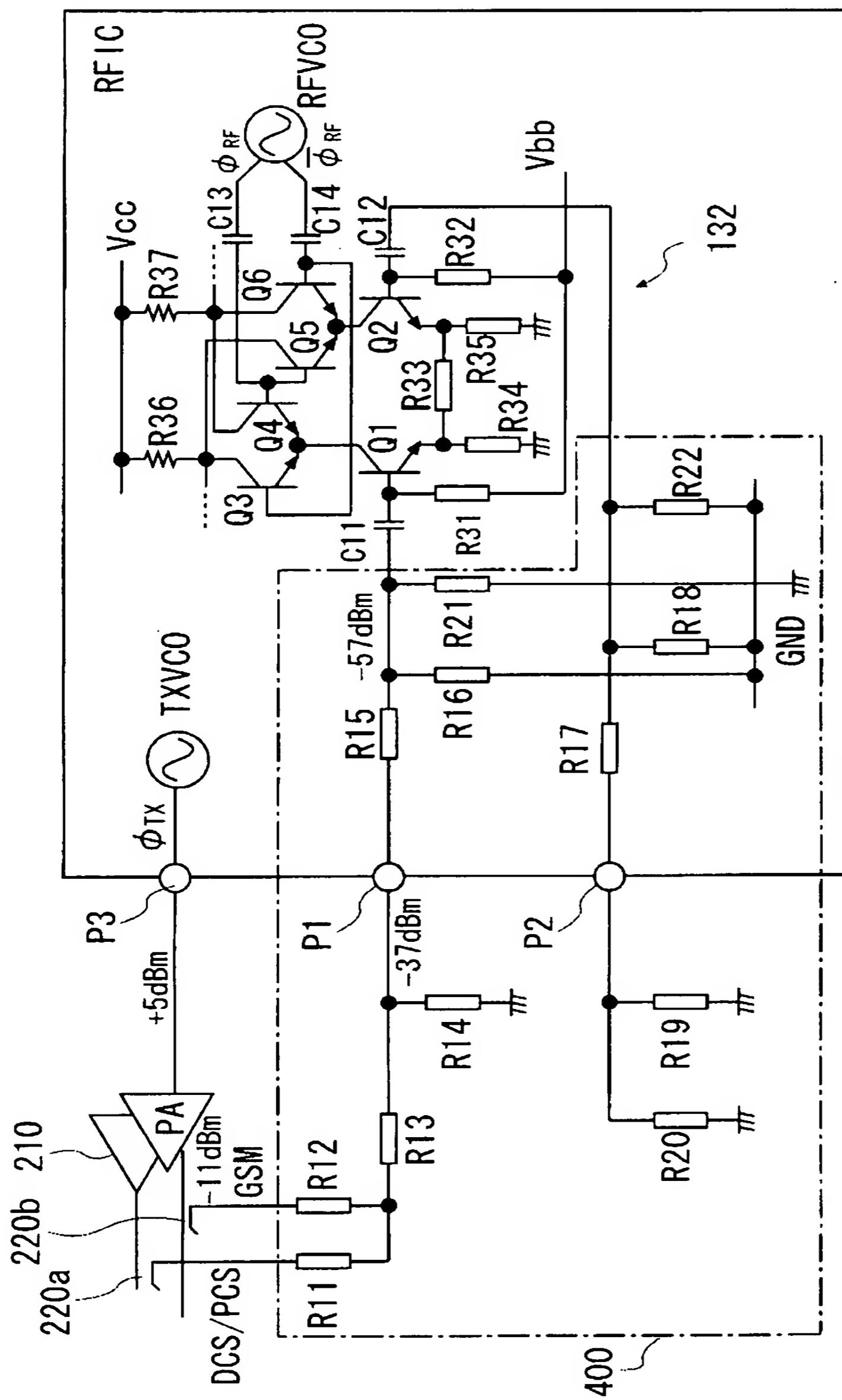
【書類名】

四面

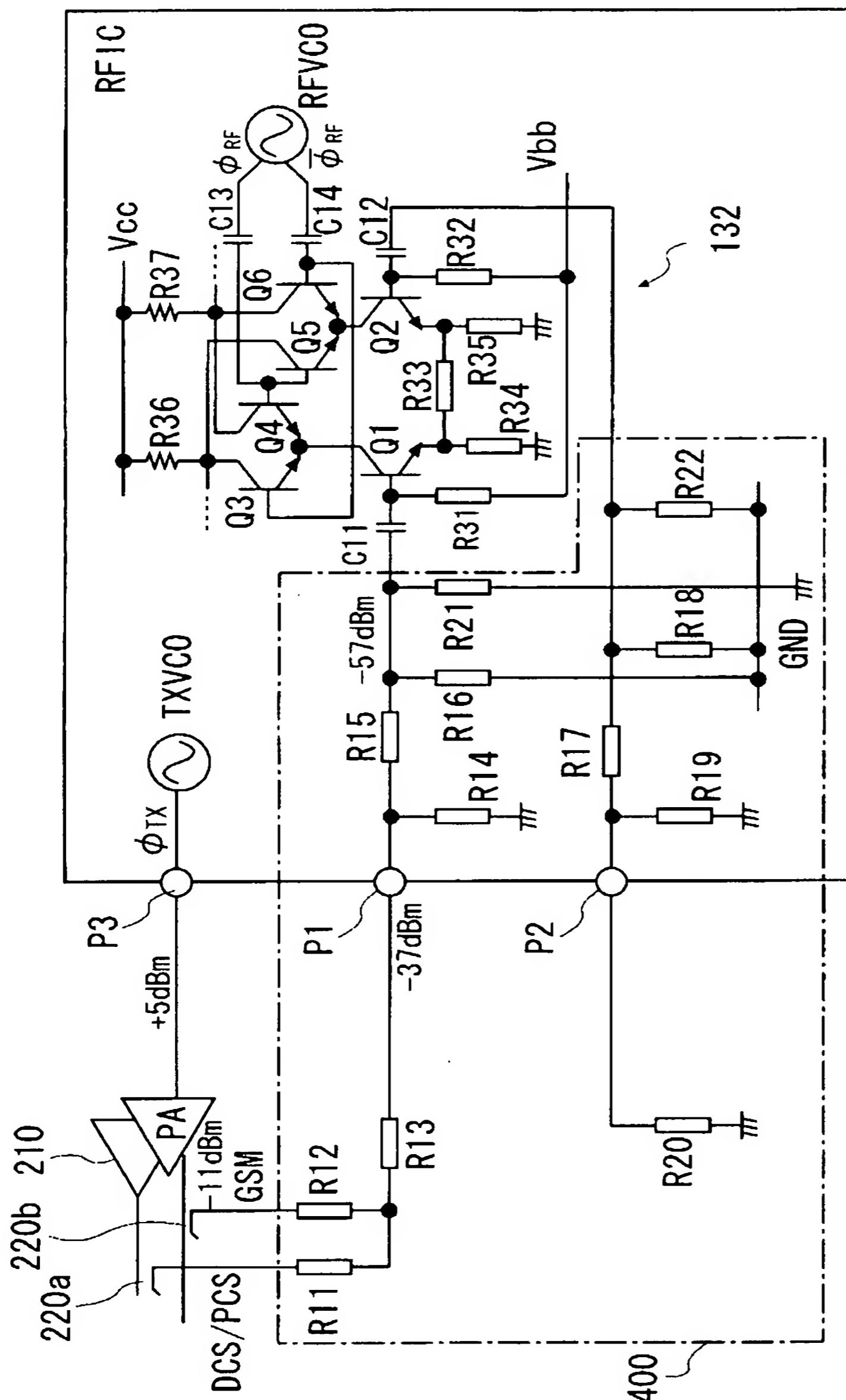
【圖 1】



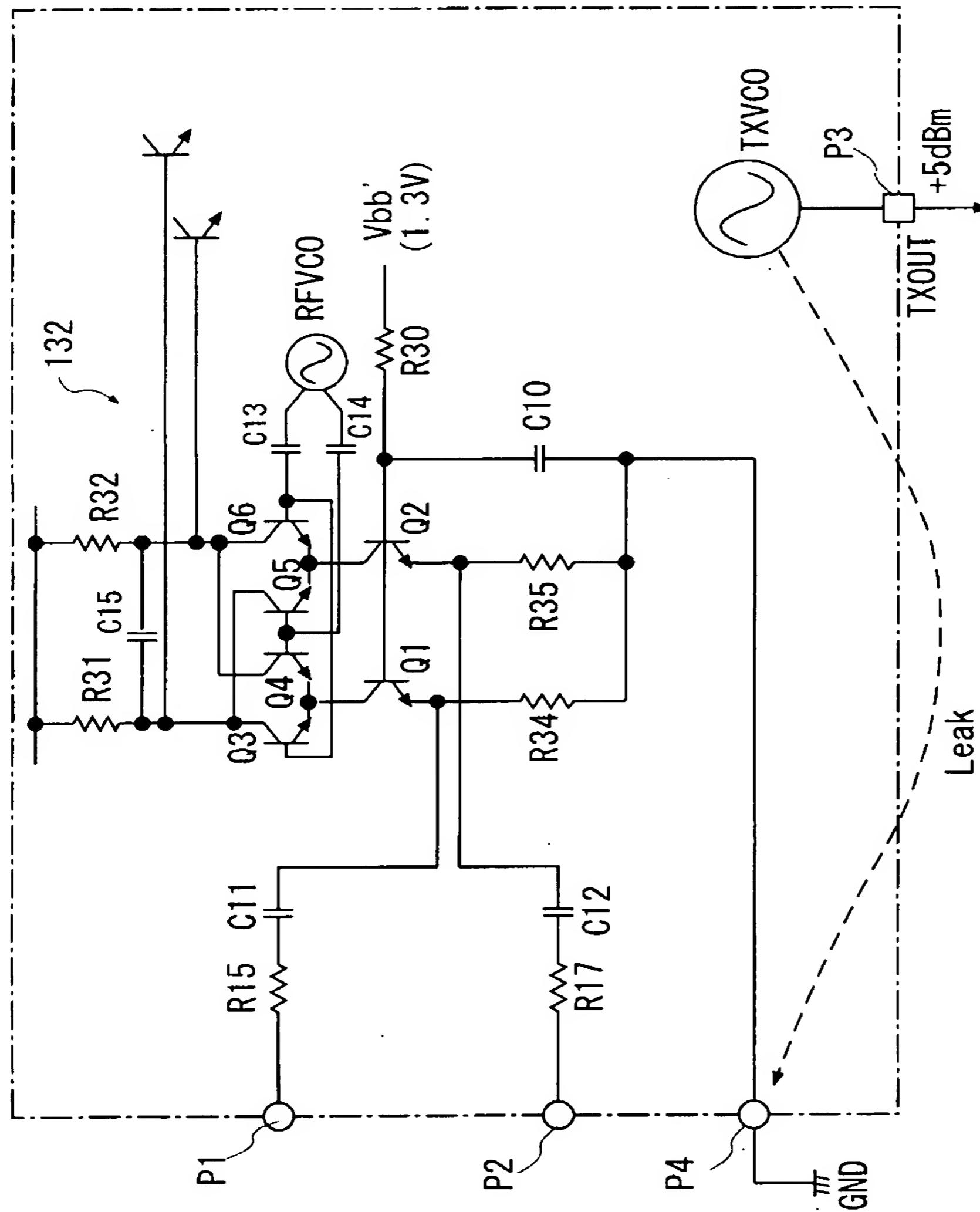
【図2】



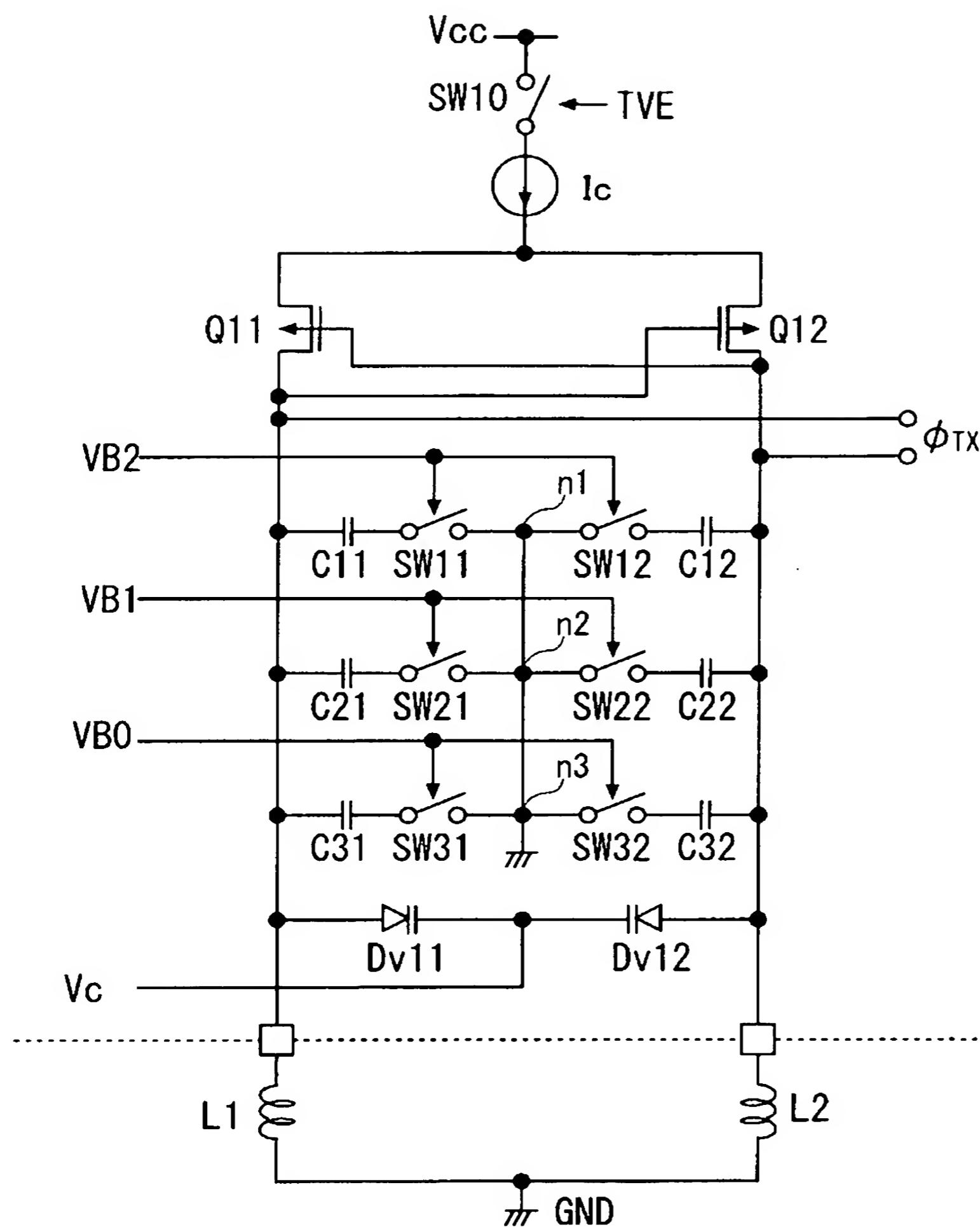
【図3】



【図4】



【図5】



【書類名】 要約書

【要約】

【課題】 無線通信システムを構成する高周波ICのような通信用半導体集積回路に送信用発振器を内蔵させた場合に、送信用発振器の出力ピンからパワーアンプの出力レベルの検出信号（フィードバック信号）の入力ピンへ飛び込むノイズによってパワーアンプの出力電力制御の精度が低下するのを防止する。

【解決手段】 高周波IC（100）に送信用発振器（TxVCO）を内蔵させ、カプラ（220）で検出されたパワーアンプ（210）の出力レベルの検出信号を、送信用発振器の出力ピンから振幅制御ループのフィードバック信号の入力ピンへ飛び込むノイズのレベルよりも若干高いレベルまで減衰して高周波ICの上記フィードバック信号入力ピンへ入力させるようにした。

【選択図】 図2

認定・付加情報

特許出願の番号	特願2003-087238
受付番号	50300502487
書類名	特許願
担当官	第五担当上席 0094
作成日	平成15年 4月 1日

<認定情報・付加情報>

【提出日】	平成15年 3月27日
-------	-------------

次頁無

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2003- 87238

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100085811

【弁理士】

【氏名又は名称】 大日方 富雄

【提出物件の目録】

【包括委任状番号】 0308733

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第3154542号 平成15年4月11日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平3-108712号 同日提出の出願人
名義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付力口青幸

特許出願の番号	特願2003-087238
受付番号	50301232460
書類名	出願人名義変更届（一般承継）
担当官	田丸 三喜男 9079
作成日	平成15年 9月 3日

<認定情報・付加情報>

【提出日】	平成15年 7月25日
-------	-------------

特願 2003-087238

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所

特願 2003-087238

出願人履歴情報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日

[変更理由] 新規登録

住 所 東京都千代田区丸の内二丁目4番1号
氏 名 株式会社ルネサステクノロジ